

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269319

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 21/76
H01L 21/8244
H01L 27/11

(21)Application number : 11-071615

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.03.1999

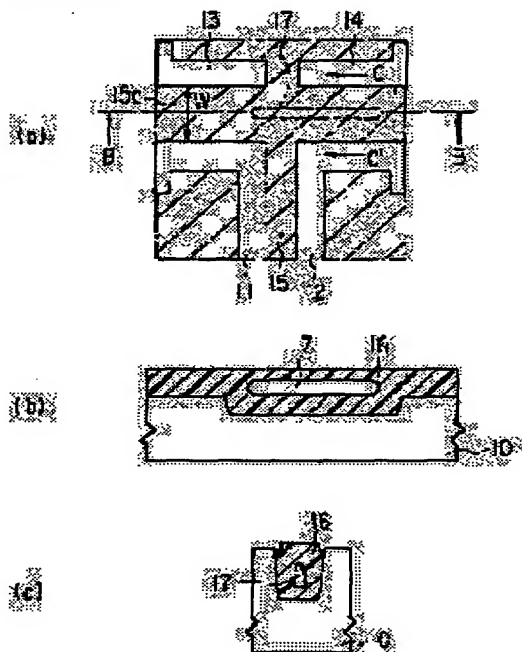
(72)Inventor : FUKAURA YASUHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively use the interiors of trench regions for a wiring, to contrive reduction in a chip size, to reduce the size of a cell pattern in the direction intersecting orthogonally a word line in the case where a semiconductor device is applied to the memory cell of a CMOS STRAM, and to enable the speedup of the STRAM in the device using a trench element isolation structure.

SOLUTION: When trenches are formed on a semiconductor substrate 10 for selectively forming a plurality of trench isolation regions on the substrate 10, and an insulator 16 is buried in the trenches in the manufacturing method of a semiconductor device, the manufacturing method is provided with a first process for forming a cavity 17 on the insulator which is buried in the interior of at least the trench on one side of the trenches, a second process for opening a plurality of holes connected with the cavity 17 in the insulator, and a third process for burying the insulator in the holes and the interior of the cavity 17.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 5 1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

10

CLAIMS

15

[Claim(s)]

[Claim 1] It is the semiconductor device which is embedded to the interior of the trench isolation region alternatively formed in the semiconductor substrate, and the
aforementioned trench isolation region, and is characterized by the thing to which the
20 peripheral surface touched the insulator formed at the same process in the
aforementioned trench isolation region, and for which it embeds and wiring is provided.

[Claim 2] The aforementioned trench isolation region is a semiconductor device
according to claim 1 characterized by being N well and an isolation region between P
wells.

25 [Claim 3] The semiconductor device according to claim 1 or 2 which it has the array of
the static type memory cell using the complementarity insulated-gate type field-effect
transistor, is the static type semiconductor memory using trench type isolation

structure, and is characterized by the bird clapper as a part of wiring of the
aforementioned memory cell using the wiring embedded to the interior of the trench
type isolation region between a P channel transistor field and an N channel transistor
field.

5 [Claim 4] The manufacture method of a semiconductor device characterized by
providing the following. The 1st process which forms a cavity into the insulator
embedded to the interior of some [at least] trenches in case a trench is formed and
an insulator is embedded, in order to form two or more trench isolation regions in a
semiconductor substrate alternatively. The 2nd process which carries out opening of
10 two or more holes which stand in a row in the aforementioned cavity to the
aforementioned insulator. The 3rd process which embeds an electric conduction object
to the interior of the aforementioned hole and a cavity.

[Claim 5] The manufacture method of the semiconductor device according to claim 4
characterized by providing further the 4th process to which the aforementioned cavity
15 is expanded by isotropic etching between the 2nd process of the above, and the 3rd
process.

DETAILED DESCRIPTION

20

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] It is used for the memory cell of static
type semiconductor memory (SRAM) etc. about the wiring which this invention requires
25 for a semiconductor device and its manufacture method, especially is formed in the
isolation region of trench structure, and its formation method.

[0002]

[Description of the Prior Art] Drawing 9 shows the equal circuit of one memory cell in CMOS type SRAM which has the array of a CMOS (complementarity insulated gate) type static type memory cell.

[0003] In the memory cell shown in drawing 9 , as for the 2nd CMOS inverter which consists of the 1st CMOS inverter which consists of the 1st NMOS transistor TN1 for a drive, and the 1st PMOS transistor TP 1 for loads, the 2nd NMOS transistor TN2 for a drive, and the 2nd PMOS transistor TP 2 for loads, the cross connection of each input nodes n1 and n2 and output nodes n2 and n1 is carried out.

[0004] And each output nodes n2 and n1 of the two above-mentioned CMOS inverters correspond, respectively, and are connected to the bit lines BL/BL of a couple through the NMOS transistors TN3 and TN4 for the transfer gates, and each gate of the transistors TN3 and TN4 for the transfer gates of the above-mentioned couple is connected to the word line WL in common.

[0005] In addition, 91 are the 1st gate connection wiring which connects each gate of the aforementioned transistors TN1 and TP1, and each drain of transistors TN2 and TP2 among drawing 9 .

[0006] Similarly, 92 is the 2nd gate connection wiring which connects each gate of the aforementioned transistors TN2 and TP2, and each drain of transistors TN1 and TP1.

[0007] Drawing 10 shows roughly the conventional pattern of the memory cell of drawing 9 in SRAM which used STI (shallow trench isolation) structure as an isolation field.

[0008] In drawing 10 , 101 and 102 are 1st P well field and 2nd P well field which were alternatively formed in the surface section of a silicon substrate, 103 and 104 are 1st N well field and 2nd N well field which were alternatively formed in the surface section of a substrate, and the isolation field 105 of trench structure is formed between [these / each] fields.

[0009] 106 is the 1st gate wiring used as each gate electrode of the 1st NMOS

transistor TN1 and the 1st PMOS transistor TP 1, and is formed through the gate insulator layer (not shown) on the substrate front face.

[0010] 107 is the 2nd gate wiring used as each gate electrode of the 2nd NMOS transistor TN2 and the 2nd PMOS transistor TP 2, and is formed through the

5 aforementioned gate insulator layer on the substrate front face.

[0011] 108 is the 3rd gate wiring (a part of word line WL) used as each gate electrode of the transistors TN3 and TN4 for the transfer gates of a couple, and is formed through the aforementioned gate insulator layer on the substrate front face.

[0012] It is N⁺ which the lower part of the 1st gate wiring 106 is the channel field of the
10 1st NMOS transistor TN1, and becomes the drain field of the 1st NMOS transistor TN1, and a source field among P well fields 101 of the above 1st at the both sides. A field is formed.

[0013] Moreover, it is N⁺ which the lower part of the 2nd gate wiring 107 is the channel field of the 2nd NMOS transistor TN2, and becomes the drain field of the 2nd NMOS
15 transistor TN2, and a source field among P well fields 102 of the above 2nd at the both sides. A field is formed.

[0014] Moreover, it is N⁺ which the lower part of the 3rd gate wiring 108 is the channel field of the 3rd NMOS transistor TN3, and becomes the drain field of the 3rd NMOS transistor TN3, and a source field among P well fields 101 of the above 1st at the both
20 sides. A field is formed. In this case, N⁺ used as the drain field of the NMOS transistor TN1 of the above 1st The field and the end field (N⁺ field) of the 3rd NMOS transistor TN3 are connected.

[0015] Moreover, it is N⁺ which the lower part of the 3rd gate wiring 108 is the channel field of the 4th NMOS transistor TN4, and becomes the drain field of the 4th NMOS
25 transistor TN4, and a source field among P well fields 102 of the above 2nd at the both sides. A field is formed. In this case, N⁺ used as the drain field of the NMOS transistor TN2 of the above 2nd The field and the end field (N⁺ field) of the 4th NMOS transistor

TN4 are connected.

[0016] Moreover, it is P+ which the lower part of the 1st gate wiring 106 is the channel field of the 1st PMOS transistor TP 1, and becomes the drain field of the 1st PMOS transistor TP 1, and a source field among N well fields 103 of the above 1st at the both
5 sides. A field is formed.

[0017] Moreover, it is P+ which the lower part of the 2nd gate wiring 107 is the channel field of the 2nd PMOS transistor TP 2, and becomes the drain field of the 2nd PMOS transistor TP 2, and a source field among N well fields 104 of the above 2nd at the both
sides. A field is formed.

10 [0018] 109 is the 1st drain wiring which connects each drain field of the 1st NMOS transistor TN1 and the 1st PMOS transistor TP 1 in common, and this is embedded on the layer insulation film (not shown) formed on the substrate containing the
aforementioned gate wiring group, and is formed as wiring.

[0019] Similarly, 110 is the 2nd drain wiring which connects each drain field of the 2nd
15 NMOS transistor TN2 and the 2nd PMOS transistor TP 2 in common, and this is embedded on the layer insulation film (not shown) formed on the substrate containing the aforementioned gate wiring group, and is formed as wiring.

[0020] And the 1st gate wiring 106 used as each gate of the 1st NMOS transistor TN1 and the 1st PMOS transistor TP 1, In the 2nd drain wiring 110 which connects each
20 drain of the 2nd NMOS transistor TN2 and the 2nd PMOS transistor TP 2 in common It connects with the 1st gate connection wiring 111 formed by the 2nd-layer wiring on the layer insulation film formed on the substrate including the aforementioned gate wiring.
Here, a shows the contact section of the 1st gate connection wiring 111 and the 2nd drain wiring 110.

25 [0021] The 2nd gate wiring 107 which similarly serves as each gate of the 2nd NMOS transistor TN2 and the 2nd PMOS transistor TP 2, In the 1st drain wiring 109 which connects each drain of the 1st NMOS transistor TN1 and the 1st PMOS transistor TP

1 in common. It connects with the 2nd gate connection wiring 112 formed by the 2nd-layer wiring on the layer insulation film formed on the substrate including the aforementioned gate wiring. Here, b shows the contact section of the 2nd gate connection wiring 112 and the 1st drain wiring 109.

5 [0022] 113 is a power supply line (Vcc line) connected common to the source field of the 1st PMOS transistor TP 1, and the source field of the 2nd PMOS transistor TP 2, and shows the contact section by c.

[0023] 114 is a reference potential line (Vss line) connected common to the source field of the 1st NMOS transistor TN1, and the source field of the 2nd NMOS transistor TN2,
10 and shows the contact section by d.

[0024] It is a bit line connection pattern and while 115 is connected to the other end field of the 3rd NMOS transistor TN3 shows the contact section by e. Similarly, 116 is a bit line connection pattern of another side connected to the other end field of the 4th NMOS transistor TN4, and shows the contact section by f.

15 [0025] With the above-mentioned structure, since gate connection wiring (the 1st gate connection wiring 111 and 2nd gate connection wiring 112) of two is arranged in the direction parallel to a word line WL on the layer insulation film, the wiring interval becomes narrow and processing and detailed-ization become difficult. If it puts in another way, the pattern size of the memory cell in the direction (bit line and parallel
20 direction) which intersects perpendicularly with a word line WL becomes large, and reduction-ization of the size of a cell is restrained.

[0026]

[Problem(s) to be Solved by the Invention] As described above, it had the array of a CMOS type memory cell, and since gate connection wiring of two was arranged in the
25 direction parallel to a word line on the layer insulation film, the pattern size of the memory cell in a direction parallel to a bit line became large, and the conventional SRAM using trench type isolation structure had the problem that reduction-ization of

the size of a cell was restrained.

[0027] When it is made that this invention should solve the above-mentioned trouble, the interior of the trench field used as an isolation field is utilized effectively because of wiring, reduction-ization of a chip size is attained and it applies to the memory cell of CMOS type SRAM, -izing of the cell pattern size of the direction which intersects perpendicularly with a word line can be carried out [****], and it aims at offering the semiconductor device which can realize improvement in the speed of SRAM, and its manufacture method.

[0028]

10 [Means for Solving the Problem] The 1st semiconductor device of this invention is embedded to the interior of the trench isolation region alternatively formed in the semiconductor substrate, and the aforementioned trench isolation region, and a peripheral surface is characterized by the thing which touched the insulator formed at the same process in the aforementioned trench isolation region and for which it embeds
15 and wiring is provided.

[0029] The 1st semiconductor device of the above has the array of the static type memory cell which used the complementarity insulated-gate type field-effect transistor, and the 2nd semiconductor device of this invention is the static type semiconductor memory using trench type isolation structure, and is characterized by the bird clapper
20 as a part of wiring of the aforementioned memory cell using the wiring embedded to the interior of the trench type isolation region between a P channel transistor field and an N channel transistor field.

[0030] In order that the manufacture method of the 1st semiconductor device of this invention may form two or more trench isolation regions in a semiconductor substrate
25 alternatively, in case a trench is formed and an insulator is embedded It is characterized by providing the 1st process which forms a cavity into the insulator embedded to the interior of some [at least] trenches, the 2nd process which carries out opening of two

or more holes which stand in a row in the aforementioned cavity to the aforementioned insulator, and the 3rd process which embeds an electric conduction object to the interior of the aforementioned hole and a cavity.

[0031] The manufacture method of the 2nd semiconductor device of this invention is characterized by providing further the 4th process to which the aforementioned cavity is expanded by isotropic etching between the 2nd process of the above, and the 3rd process in the manufacture method of the 1st semiconductor device.

[0032] The manufacture method of the 3rd semiconductor device of this invention has the array of the static type memory cell which used the complementarity insulated-gate type field-effect transistor. The process which forms a trench in order to form two or more trench isolation regions in a semiconductor substrate alternatively, in case the static type semiconductor memory using trench type isolation structure is

manufactured, The 1st process which forms a cavity into the insulator embedded among the aforementioned trenches to the interior of the trench between the P channel

transistor field of the aforementioned memory cell, and an N channel transistor field, Next, the 2nd process which carries out opening of two or more holes which stand in a row in the aforementioned cavity to the aforementioned insulator, Next, the 3rd process to which the aforementioned cavity is expanded by isotropic etching and the 4th process which embeds an electric conduction object to the interior of the

aforementioned hole and a cavity, The wiring embedded by the 4th process of the above is used as a part of wiring of the aforementioned memory cell, and it is characterized by providing the process which forms the aforementioned memory cell.

[0033]

[Embodiments of the Invention] Hereafter, with reference to a drawing, the gestalt of operation of this invention is explained in detail.

[0034] First, the structure of the memory cell of CMOS type SRAM using the trench type isolation structure concerning the gestalt of operation of the 1st of this invention

and the feature of the manufacture method are described. In addition, the equal circuit of this memory cell is as having mentioned above with reference to drawing 9 .

[0035] Generally, a size with the larger width of face of the trench field for carrying out isolation of the PMOS field and NMOS field of the CMOS type memory cell using trench type isolation structure than the working limit on a design rule is needed. Then, a part of wiring of a memory cell tends to be embedded to the interior of this trench field (inside of an insulator), and it is going to utilize a trench field effectively.

[0036] In this case, although it is usually formed in the interior of a trench field so that a cavity (void) may not be generated, in this invention, it dares form a void in the interior of a trench field, and it embeds using this void and wiring is formed. in addition, a high current is passed as this embedding wiring — it is — it is — since the reduction in resistance is difficult — wiring for voltage impression (for example, the 1st gate connection wiring 91 in drawing 9 or 2nd gate connection wiring 92) Forming is desirable.

[0037] Drawing 1 (a) or drawing 8 (a) shows the pattern in the manufacturing process of SRAM using the trench type isolation structure concerning the gestalt of the 1st operation, especially a CMOS type memory cell portion.

[0038] The cross-section structure of drawing 1 (b) or drawing 8 (b) corresponding, respectively, and meeting the B-B line in drawing 1 (a) or drawing 8 (a) is shown, and drawing 1 (C) or drawing 3 (C) shows the cross-section structure of corresponding, respectively and meeting the C-C line in drawing 1 (a) or drawing 3 (a).

[0039] First, as shown in drawing 1 (a) or (c), 1st P well field 11, 2nd P well field 12, 1st N well field 13, 2nd N well field 14, and the trench type isolation field (trench field) 15 are alternatively formed in the surface section of a silicon substrate 10. The width of face W of trench field 15a for carrying out isolation of a PMOS field and the NMOS field among this trench field has a larger size than the working limit on a design rule.

[0040] In case the above-mentioned trench field 15a is formed, after carrying out the

configuration of the trench of the equal depth, the trench of the field which forms embedding wiring in a mask for a resist is alternatively made deep using the photo lithography method. In this case, it dares form alternatively the cavity 17 for wiring embedding (void) which has the desired length and width of face into the embedding oxide film 16 in a trench by controlling appropriately configurations, such as the depth, the depth of a trench, and a taper angle, the membrane formation method of an embedding oxide film, etc.

[0041] Next, as shown in drawing 2 (a) or (c), it embeds using the RIE (reactive ion etching) method, and opening of the hole 18 is carried out to an oxide film 16 so that it may stand in a row to the both ends of a cavity 17 from the two arbitrary upper part sections (for example, both ends) of a cavity 17.

[0042] Next, as shown in drawing 3 (a) or (c), isotropic etching is performed, the **** oxide film around the cavity 17 in the embedding oxide film 16 is removed, and a cavity 17 is expanded. And the embedding wiring 19 is formed, for example using the CVD (vapor growth) method by embedding refractory metals, such as W, to the interior of the above-mentioned cavity 17 and the aforementioned hole 18.

[0043] Next, a part of gate wiring 22 is connected to the end section of the aforementioned embedding wiring 19 at the same time it forms the gate wiring 21-23 as shown in drawing 4 (a) and (b), after forming the gate insulator layer 20 on a substrate front face and carrying out opening (20a) of the part.

[0044] Here, the 1st gate wiring with which 21 becomes each gate electrode of the 1st NMOS transistor TN1 and the 1st PMOS transistor TP 1, the 2nd gate wiring with which 22 becomes each gate electrode of the 2nd NMOS transistor TN2 and the 2nd PMOS transistor TP 2, and 23 are the 3rd gate wiring (a part of word line WL) used as each gate electrode of the transistors TN3 and TN4 for the transfer gates of a couple.

[0045] Then, N+ used as the drain field of an NMOS transistor, and a source field P+ used as a field, the drain field of PMOS transistor **, and a source field A field is

formed.

[0046] That is, it is N+ which the lower part of the 1st gate wiring 21 is the channel field of the 1st NMOS transistor TN1 in P well field 11 of the above 1st, and becomes the drain field of the 1st NMOS transistor TN1, and a source field at the both sides. A field is formed.

[0047] Moreover, it is N+ which the lower part of the 2nd gate wiring 22 is the channel field of the 2nd NMOS transistor TN2, and becomes the drain field of the 2nd NMOS transistor TN2, and a source field among P well fields 12 of the above 2nd at the both sides. A field is formed.

[0048] Moreover, it is N+ which the lower part of the 3rd gate wiring 23 is the channel field of the 3rd NMOS transistor TN3, and becomes the drain field of the 3rd NMOS transistor TN3, and a source field among P well fields 11 of the above 1st at the both sides. A field is formed. In this case, N+ used as the end field (N+ field) of the 3rd NMOS transistor TN3, and the drain field of the NMOS transistor TN1 of the above 1st

The field is connected.

[0049] Moreover, it is N+ which the lower part of the 3rd gate wiring 23 is the channel field of the 4th NMOS transistor TN4, and becomes the drain field of the 4th NMOS transistor TN4, and a source field among P well fields 12 of the above 2nd at the both sides. A field is formed. In this case, N+ used as the end field (N+ field) of the 4th

NMOS transistor TN4, and the drain field of the NMOS transistor TN2 of the above 2nd The field is connected.

[0050] Moreover, it is P+ which the lower part of the 1st gate wiring 21 is the channel field of the 1st PMOS transistor P1, and becomes the drain field of the 1st PMOS transistor P1, and a source field among N well fields 13 of the above 1st at the both sides. A field is formed.

[0051] Moreover, it is P+ which the lower part of the 2nd gate wiring 22 is the channel field of the 2nd PMOS transistor TP 2, and becomes the drain field of the 2nd PMOS

transistor TP 2, and a source field among N well fields 14 of the above 2nd at the both sides. A field is formed.

[0052] Next, as shown in drawing 5 (a) and (b), after forming the 1st layer insulation film 24 on a substrate including the aforementioned gate wiring 21-23, embedding at the
5 part and forming a wiring slot, the 1st drain wiring 25 and the 2nd drain wiring 26 are embedded and formed in this Mizouchi.

[0053] Here, the 1st drain wiring 25 connects each drain field of the 1st NMOS transistor TN1 and the 1st PMOS transistor TP 1 in common, and the part is in contact with the other end upper surface of the aforementioned embedding wiring 19. That is,
10 the 1st drain wiring 25 is connected to the gate wiring 22 of the above 2nd through the aforementioned embedding wiring 19.

[0054] The 2nd drain wiring 26 connects each drain field of the 2nd NMOS transistor TN2 and the 2nd PMOS transistor TP 2 in common.

[0055] Next, as shown in drawing 6 (a) and (b), the 2nd layer insulation film 27 is formed
15 on a substrate including the aforementioned drain wiring 25 and 26. Contact hole 27a which reaches the drain wiring 26 of the above 2nd, contact hole 27b which reaches the gate wiring 21 of the above 1st, Contact hole 27c which arrives at the source field of the 1st PMOS transistor TP 1, and the source field of the 2nd PMOS transistor TP 2, Contact hole 27d which arrives at the source field of the 1st NMOS transistor TN1, and
20 the source field of the 2nd NMOS transistor TN2, Contact hole 27e which arrives at the other end field of the 3rd NMOS transistor TN3 and the other end field of the 4th NMOS transistor TN4 is formed.

[0056] Next, as shown in drawing 7 (a) and (b), while depositing metal wiring layers, such as aluminum or Cu, on the layer insulation film 27 of the above 2nd, in each
25 aforementioned contact hole, patterning processing is embedded and carried out and various kinds of wiring 29-33 is formed.

[0057] Here, 29 is a power supply line (Vcc line) connected common to the source field

of the 1st PMOS transistor TP 1, and the source field of the 2nd PMOS transistor TP 2, and shows the contact section by c.

[0058] Moreover, 30 is a reference potential line (Vss line) connected common to the source field of the 1st NMOS transistor TN1, and the source field of the 2nd NMOS transistor TN2, and shows the contact section by d.

[0059] Moreover, 31 is the 1st bit line trunk connection wiring connected to the other end field of the 3rd NMOS transistor TN3, and 32 is the 2nd bit line trunk connection wiring connected to the other end field of the 4th NMOS transistor TN4, and shows each contact section by e.

[0060] Moreover, 33 is the 2nd gate connection wiring which connects the gate wiring 21 of the above 1st, and the 2nd drain wiring 26. a and b show the contact section.

[0061] Next, as shown in drawing 8 (a) and (b), the 3rd layer insulation film 34 is formed on the substrate containing Vcc line 29 grade, and the contact hole which reaches the 1st bit line trunk connection wiring 31 and the 2nd bit line trunk connection wiring 32 is formed.

[0062] And after embedding and forming the electric conduction plug 35 in the above-mentioned contact hole, metal wiring layers, such as aluminum or Cu, are deposited on the 3rd layer insulation film 34, patterning processing of this is carried out, and as an alternate long and short dash line shows, the bit lines BL/BL of a couple are formed into drawing 8 (a) and (b).

[0063] In the above-mentioned structure, since the embedding wiring 19 equivalent to the 1st gate connection wiring is formed in the interior of trench field 15a and the embedding wiring 19 of above-mentioned one can be formed in a lower layer from 21 to gate wiring 23 group, the flexibility of the wiring layout on the 2nd layer insulation film 27 increases.

[0064] Moreover, on the 2nd layer insulation film 27, the 2nd gate connection wiring 33 is arranged in the direction parallel to a word line 23 (WL), and the Vcc line 29 and the

Vss line 30 are arranged in the direction parallel to a word line WL in the same wiring layer.

[0065] Therefore, according to the above-mentioned structure, the pattern size of the memory cell in the direction (a bit line BL and direction parallel to /BL) which

5 intersects perpendicularly with a word line WL is made small, and it becomes possible to reduction-size size of a cell.

[0066] When putting in another way and the pattern size of the memory cell in the direction which intersects perpendicularly with a word line WL is made the same as the conventional example, or when the design rule in front of time cost is adopted, by

10 enlarging width of face of the Vcc line 29 and the Vss line 30, and reducing the wiring resistance, the voltage drop by the wiring resistance is reduced, and it becomes possible to increase the margin of a memory cell of operation.

[0067] Or since it becomes possible to reduce a short circuit connection point size and to increase the margin of a pattern design by extending the installation interval of the short circuit connection point with the main power supply line (not shown) and main reference potential line (not shown) which are further arranged in the upper layer by enlarging width of face of the Vcc line 29 which was described above, and the Vss line 30, and reducing the wiring resistance, improvement in the speed of SRAM becomes possible.

20 [0068] Moreover, unlike the wiring embed and usual [wiring / 19] in a cross-section configuration formed with the gestalt of the above-mentioned implementation, as a dotted line shows in drawing 3 (c), the width of face of the upper part section is narrower than the lower part section, there are many bird clappers, and the peripheral surface is in contact with the insulator (silicon oxide 16 formed at the trench embedding process in this example) formed at the same process.

25 [0069] Moreover, the formation method of the embedding wiring 19 which was explained with the g stalt of the above-m ntioned implementation has the formation process of

the layer insulation film of a wrap sake unnecessary in the upper surface after embedding wiring formation compared with the formation method of the usual embedding wiring.

[0070] In addition, the manufacture method of the semiconductor device of this invention is characterized by forming a cavity in the trench isolation region (it being a bigger isolation region than a working limit like for example, N well and the isolation region between P wells) which has a margin in the interior not only in the gestalt of the above-mentioned implementation but in a semiconductor device.

[0071] And it becomes possible by forming for example, embedding wiring in the interior of a cavity to aim at relief of a design and to attain reduction-ization of a chip size by utilizing a trench isolation region effectively, embedding a part of wiring of the increase of the flexibility of the upper wiring layout, and the upper layer, and replacing with wiring.

[0072]

[Effect of the Invention] As mentioned above, according to the semiconductor device and its manufacture method of this invention, in the integrated circuit using trench type isolation structure, the interior of a trench field can be utilized effectively because of wiring, and the semiconductor device which can reduction-ize size of a circuit pattern, and its manufacture method can be offered.

[0073] Therefore, when it applies to the memory cell of SRAM which has the array of the CMOS [this invention] type memory cell using trench type isolation structure, -izing of the pattern size of a direction parallel to the bit line of a memory cell can be carried out [****], and improvement in the speed of SRAM can be realized.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the pattern and cross-section structure in a part of a manufacturing process of SRAM using the trench type isolation structure concerning the gestalt of operation of the 1st of this invention.

5 [Drawing 2] Drawing showing the pattern and cross-section structure in the process following the process of drawing 1 .

[Drawing 3] Drawing showing the pattern and cross-section structure in the process following the process of drawing 2 .

[Drawing 4] Drawing showing the pattern and cross-section structure in the process following the process of drawing 3 .

10 [Drawing 5] Drawing showing the pattern and cross-section structure in the process following the process of drawing 4 .

[Drawing 6] Drawing showing the pattern and cross-section structure in the process following the process of drawing 5 .

15 [Drawing 7] Drawing showing the pattern and cross-section structure in the process following the process of drawing 6 .

[Drawing 8] Drawing showing the pattern and cross-section structure in the process following the process of drawing 7 .

[Drawing 9] The representative circuit schematic taking out and showing one memory cell in CMOS type SRAM which has the array of a CMOS type static type memory cell.

20 [Drawing 10] Drawing showing roughly the conventional pattern of the memory cell of drawing 9 in SRAM using trench type isolation structure.

[Description of Notations]

10 — Silicon substrate

11 12 — P well field,

25 13 14 — N well field,

15 15a — Trench type isolation field (trench field),

16 — Silicon oxide

17 — Cavity for wiring embedding (void),

18 — Hole

19 — Embedding wiring.

5

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269319

(P 2 0 0 0 - 2 6 9 3 1 9 A)

(43) 公開日 平成12年9月29日(2000.9.29)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/76		H01L 21/76	L 5F032
21/8244		27/10	381 5F083
27/11			

審査請求 未請求 請求項の数 5 O L (全9頁)

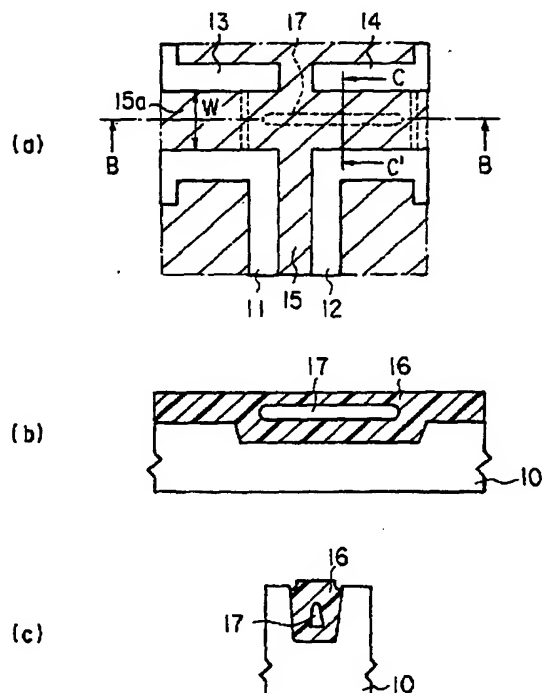
(21) 出願番号	特願平11-71615	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成11年3月17日(1999.3.17)	(72) 発明者	深浦 康弘 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
		(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
		Fターム(参考)	5F032 AA34 AA44 BB08 CA03 CA17 CA20 CA23 DA02 DA25 DA26 5F083 BS27 BS46 GA01 GA09 GA27 JA36 JA37 JA39 LA21 MA06 MA16 NA01 PR03 PR21

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 トレンチ型素子分離構造を用いた半導体装置において、トレンチ領域の内部を配線のために有効に活用し、チップサイズの縮小化を図り、CMOS型のSRAMのメモリセルに適用した場合には、ワード線に直交する方向のセルパターン寸法を縮小化し、SRAMの高速化を実現する。

【解決手段】 半導体基板10に選択的に複数のトレンチ分離領域を形成するためにトレンチを形成して絶縁物16を埋め込む際に、少なくとも一部のトレンチの内部に埋め込む絶縁物中に空洞17を形成する第1の工程と、次に、空洞に連なる複数のホールを絶縁物に開口18する第2の工程と、ホールおよび空洞の内部に導電物19を埋め込む第3の工程とを具備する。



【特許請求の範囲】

【請求項1】 半導体基板に選択的に形成されたトレンチ分離領域と、
前記トレンチ分離領域の内部に埋め込まれ、周面は前記トレンチ分離領域内の同一工程で形成された絶縁物に接した埋め込み配線とを具備することを特徴とする半導体装置。

【請求項2】 前記トレンチ分離領域は、Nウェル・Pウェル間分離領域であることを特徴とする請求項1記載の半導体装置。

【請求項3】 相補性絶縁ゲート型電界効果トランジスタを用いたスタティック型メモリセルのアレイを有し、トレンチ型素子分離構造を用いたスタティック型半導体メモリであり、

前記メモリセルの配線の一部として、Pチャネルトランジスタ領域とNチャネルトランジスタ領域との間のトレンチ型分離領域の内部に埋め込まれた配線を用いてなることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 半導体基板に選択的に複数のトレンチ分離領域を形成するためにトレンチを形成して絶縁物を埋め込む際に、

少なくとも一部のトレンチの内部に埋め込む絶縁物中に空洞を形成する第1の工程と、

前記空洞に連なる複数のホールを前記絶縁物に開口する第2の工程と、前記ホールおよび空洞の内部に導電物を埋め込む第3の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 前記第2の工程と第3の工程との間で等方性エッチングにより前記空洞を拡大する第4の工程をさらに具備することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特にトレンチ構造の分離領域に形成される配線およびその形成方法に関するもので、例えばスタティック型半導体メモリ（SRAM）のメモリセルなどに使用されるものである。

【0002】

【従来の技術】 図9は、CMOS（相補性絶縁ゲート）型のスタティック型メモリセルのアレイを有するCMOS型のSRAMにおける1個のメモリセルの等価回路を示している。

【0003】 図9に示すメモリセルにおいて、駆動用の第1のNMOSTランジスタTN1および負荷用の第1のPMOSTランジスタTP1からなる第1のCMOSインバータと、駆動用の第2のNMOSTランジスタTN2および負荷用の第2のPMOSTランジスタTP2からなる第2のCMOSインバータとは、それぞれの入力ノードn1、n2と出力ノードn2、n1とが交差接

続されている。

【0004】 そして、上記2個のCMOSインバータの各出力ノードn2、n1はそれぞれ対応して転送ゲート用のNMOSTランジスタTN3、TN4を介して一対のビット線BL、/BLに接続されており、上記一対の転送ゲート用トランジスタTN3、TN4の各ゲートはワード線WLに共通に接続されている。

【0005】 なお、図9中、91は前記トランジスタTN1、TP1の各ゲートとトランジスタTN2、TP2の各ドレインとを接続する第1のゲート接続配線である。

【0006】 同様に、92は前記トランジスタTN2、TP2の各ゲートとトランジスタTN1、TP1の各ドレインとを接続する第2のゲート接続配線である。

【0007】 図10は、素子分離領域としてSTI（シャロウ・トレンチ・アイソレーション）構造を用いたSRAMにおける図9のメモリセルの従来のパターンを概略的に示す。

【0008】 図10において、101および102はシリコン基板の表層部に選択的に形成された第1のPウェル領域および第2のPウェル領域であり、103および104は基板の表層部に選択的に形成された第1のNウェル領域および第2のNウェル領域であり、これらの各領域相互間にはトレンチ構造の素子分離領域105が形成されている。

【0009】 106は第1のNMOSTランジスタTN1および第1のPMOSTランジスタTP1の各ゲート電極となる第1のゲート配線であり、基板表面上にゲート絶縁膜（図示せず）を介して形成されている。

【0010】 107は第2のNMOSTランジスタTN2および第2のPMOSTランジスタTP2の各ゲート電極となる第2のゲート配線であり、基板表面上に前記ゲート絶縁膜を介して形成されている。

【0011】 108は一対の転送ゲート用トランジスタTN3、TN4の各ゲート電極となる第3のゲート配線（ワード線WLの一部）であり、基板表面上に前記ゲート絶縁膜を介して形成されている。

【0012】 前記第1のPウェル領域101のうち、第1のゲート配線106の下方は第1のNMOSTランジスタTN1のチャネル領域であり、その両側には第1のNMOSTランジスタTN1のドレイン領域およびソース領域となるN+領域が形成される。

【0013】 また、前記第2のPウェル領域102のうち、第2のゲート配線107の下方は第2のNMOSTランジスタTN2のチャネル領域であり、その両側には第2のNMOSTランジスタTN2のドレイン領域およびソース領域となるN+領域が形成される。

【0014】 また、前記第1のPウェル領域101のうち、第3のゲート配線108の下方は第3のNMOSTランジスタTN3のチャネル領域であり、その両側には

第3のNMOSトランジスタTN3のドレイン領域およびソース領域となるN⁺領域が形成される。この場合、前記第1のNMOSトランジスタTN1のドレイン領域となるN⁺領域と第3のNMOSトランジスタTN3の一端領域(N⁺領域)とは接続されている。

【0015】また、前記第2のPウェル領域102のうち、第3のゲート配線108の下方は第4のNMOSトランジスタTN4のチャンネル領域であり、その両側には第4のNMOSトランジスタTN4のドレイン領域およびソース領域となるN⁺領域が形成される。この場合、前記第2のNMOSトランジスタTN2のドレイン領域となるN⁺領域と第4のNMOSトランジスタTN4の一端領域(N⁺領域)とは接続されている。

【0016】また、前記第1のNウェル領域103のうち、第1のゲート配線106の下方は第1のPMOSトランジスタTP1のチャンネル領域であり、その両側には第1のPMOSトランジスタTP1のドレイン領域およびソース領域となるP⁺領域が形成される。

【0017】また、前記第2のNウェル領域104のうち、第2のゲート配線107の下方は第2のPMOSトランジスタTP2のチャンネル領域であり、その両側には第2のPMOSトランジスタTP2のドレイン領域およびソース領域となるP⁺領域が形成される。

【0018】109は第1のNMOSトランジスタTN1および第1のPMOSトランジスタTP1の各ドレイン領域を共通に接続する第1のドレイン配線であり、これは前記ゲート配線群を含む基板上に形成された層間絶縁膜(図示せず)に埋め込み配線として形成されている。

【0019】同様に、110は第2のNMOSトランジスタTN2および第2のPMOSトランジスタTP2の各ドレイン領域を共通に接続する第2のドレイン配線であり、これは前記ゲート配線群を含む基板上に形成された層間絶縁膜(図示せず)に埋め込み配線として形成されている。

【0020】そして、第1のNMOSトランジスタTN1および第1のPMOSトランジスタTP1の各ゲートとなる第1のゲート配線106と、第2のNMOSトランジスタTN2および第2のPMOSトランジスタTP2の各ドレインを共通に接続する第2のドレイン配線110とは、前記ゲート配線を含む基板上に形成された層間絶縁膜上の第2層配線により形成された第1のゲート接続配線111により接続されている。ここで、第1のゲート接続配線111と第2のドレイン配線110とのコンタクト部をaで示している。

【0021】同様に、第2のNMOSトランジスタTN2および第2のPMOSトランジスタTP2の各ゲートとなる第2のゲート配線107と、第1のNMOSトランジスタTN1および第1のPMOSトランジスタTP1の各ドレインを共通に接続する第1のドレイン配線1

09とは、前記ゲート配線を含む基板上に形成された層間絶縁膜上の第2層配線により形成された第2のゲート接続配線112により接続されている。ここで、第2のゲート接続配線112と第1のドレイン配線109とのコンタクト部をbで示している。

【0022】113は第1のPMOSトランジスタTP1のソース領域および第2のPMOSトランジスタTP2のソース領域に共通に接続されている電源線(V_{cc}線)であり、そのコンタクト部をcで示している。

【0023】114は第1のNMOSトランジスタTN1のソース領域および第2のNMOSトランジスタTN2のソース領域に共通に接続されている基準電位線(V_{ss}線)であり、そのコンタクト部をdで示している。

【0024】115は第3のNMOSトランジスタTN3の他端領域に接続されている一方のビット線接続パターンであり、そのコンタクト部をeで示している。同様に、116は第4のNMOSトランジスタTN4の他端領域に接続されている他方のビット線接続パターンであり、そのコンタクト部をfで示している。

【0025】上記した構造では、層間絶縁膜上で2本のゲート接続配線(第1のゲート接続配線111および第2のゲート接続配線112)がワード線WLに平行な方向に配設されているので、その配線間隔が狭くなり、加工および微細化が困難になる。換言すれば、ワード線WLに直交する方向(ビット線および平行な方向)におけるメモリセルのパターン寸法が大きくなり、セルのサイズの縮小化が制約されている。

【0026】

【発明が解決しようとする課題】上記したようにCMOS型メモリセルのアレイを有し、トレンチ型素子分離構造を用いた従来のSRAMは、層間絶縁膜上で2本のゲート接続配線がワード線に平行な方向に配設されているので、ビット線に平行な方向におけるメモリセルのパターン寸法が大きくなり、セルのサイズの縮小化が制約されるという問題があった。

【0027】本発明は上記の問題点を解決すべくなされたもので、素子分離領域として用いられたトレンチ領域の内部を配線のために有効に活用し、チップサイズの縮小化を図り、CMOS型のSRAMのメモリセルに適用した場合には、ワード線に直交する方向のセルパターン寸法を縮小化でき、SRAMの高速化を実現し得る半導体装置およびその製造方法を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体基板に選択的に形成されたトレンチ分離領域と、前記トレンチ分離領域の内部に埋め込まれ、周面は前記トレンチ分離領域内の同一工程で形成された絶縁物に接した埋め込み配線とを具備することを特徴とする。

【0029】本発明の第2の半導体装置は、前記第1の半導体装置は、相補性絶縁ゲート型電界効果トランジスタを用いたスタティック型メモリセルのアレイを有し、トレンチ型素子分離構造を用いたスタティック型半導体メモリであり、前記メモリセルの配線の一部として、Pチャネルトランジスタ領域とNチャネルトランジスタ領域との間のトレンチ型分離領域の内部に埋め込まれた配線を用いてなることを特徴とする。

【0030】本発明の第1の半導体装置の製造方法は、半導体基板に選択的に複数のトレンチ分離領域を形成するためにトレンチを形成して絶縁物を埋め込む際に、少なくとも一部のトレンチの内部に埋め込む絶縁物中に空洞を形成する第1の工程と、前記空洞に連なる複数のホールを前記絶縁物に開口する第2の工程と、前記ホールおよび空洞の内部に導電物を埋め込む第3の工程とを具備することを特徴とする。

【0031】本発明の第2の半導体装置の製造方法は、第1の半導体装置の製造方法において、前記第2の工程と第3の工程との間で等方性エッチングにより前記空洞を拡大する第4の工程をさらに具備することを特徴とする。

【0032】本発明の第3の半導体装置の製造方法は、相補性絶縁ゲート型電界効果トランジスタを用いたスタティック型メモリセルのアレイを有し、トレンチ型素子分離構造を用いたスタティック型半導体メモリを製造する際に、半導体基板に選択的に複数のトレンチ分離領域を形成するためにトレンチを形成する工程と、前記トレンチのうちで前記メモリセルのPチャネルトランジスタ領域とNチャネルトランジスタ領域との間のトレンチの内部に埋め込む絶縁物中に空洞を形成する第1の工程と、次に、前記空洞に連なる複数のホールを前記絶縁物に開口する第2の工程と、次に、等方性エッチングにより前記空洞を拡大する第3の工程と、前記ホールおよび空洞の内部に導電物を埋め込む第4の工程と、前記第4の工程により埋め込まれた配線を前記メモリセルの配線の一部として用い、前記メモリセルを形成する工程とを具備することを特徴とする。

【0033】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0034】まず、本発明の第1の実施の形態に係るトレンチ型素子分離構造を用いたCMOS型SRAMのメモリセルの構造および製造方法の特徴を述べる。なお、このメモリセルの等価回路は図9を参照して前述した通りである。

【0035】一般に、トレンチ型素子分離構造を用いたCMOS型メモリセルのPMOS領域とNMOS領域とを素子分離するためのトレンチ領域の幅は、デザインルール上の加工限界より大きい寸法が必要とされる。そこで、このトレンチ領域の内部（絶縁物中）にメモリセル

の配線の一部を埋め込み、トレンチ領域を有効に活用しようとするものである。

【0036】この場合、通常はトレンチ領域の内部には空洞（ボイド）が生じないように形成されるが、本発明では、トレンチ領域の内部に取ってボイドを形成し、このボイドを利用して埋め込み配線を形成している。なお、この埋め込み配線としては、大電流を流すあるいは低抵抗化が困難であるので、電圧印加用の配線（例えば図9中の第1のゲート接続配線91あるいは第2のゲート接続配線92）を形成することが望ましい。

【0037】図1(a)乃至図8(a)は、第1の実施の形態に係るトレンチ型素子分離構造を用いたSRAMの製造工程、特にCMOS型メモリセル部分におけるパターンを示している。

【0038】図1(b)乃至図8(b)は、それぞれ対応して図1(a)乃至図8(a)中のB-B線に沿う断面構造を示しており、図1(c)乃至図3(c)は、それぞれ対応して図1(a)乃至図3(a)中のC-C線に沿う断面構造を示している。

【0039】まず、図1(a)乃至(c)に示すように、シリコン基板10の表層部に選択的に第1のPウェル領域11、第2のPウェル領域12、第1のNウェル領域13、第2のNウェル領域14およびトレンチ型の素子分離領域（トレンチ領域）15を形成する。このトレンチ領域のうち、PMOS領域とNMOS領域とを素子分離するためのトレンチ領域15aの幅Wは、デザインルール上の加工限界より大きい寸法を有する。

【0040】上記トレンチ領域15aを形成する際、均等な深さのトレンチを形状した後、フォトリソグラフィを用いて、レジストをマスクに、埋め込み配線を形成する領域のトレンチを選択的に深くする。この場合、深さ、トレンチの深さやテーパ角などの形状や、埋め込み酸化膜の成膜方法などを適切に制御することにより、選択的にトレンチ内の埋め込み酸化膜16中に所望の長さ、幅を有する配線埋め込み用の空洞（ボイド）17を取って形成しておく。

【0041】次に、図2(a)乃至(c)に示すように、空洞17の任意の2カ所（例えば両端部）の上方部から空洞17の両端部に連なるように、例えばRIE（反応性イオンエッチング）法を用いて埋め込み酸化膜16にホール18を開口する。

【0042】次に、図3(a)乃至(c)に示すように、等方性エッチングを行い、埋め込み酸化膜16中の空洞17の周囲の粗な酸化膜を除去し、空洞17を拡大する。そして、例えばCVD（気相成長）法を用いて、上記空洞17および前記ホール18の内部に、Wなどの高融点金属を埋め込むことにより、埋め込み配線19を形成する。

【0043】次に、基板表面上にゲート絶縁膜20を形成し、一部を開口（20a）した後、図4(a)および

(b) に示すように、ゲート配線21~23を形成すると同時にゲート配線22の一部を前記埋め込み配線19の一端部に接続させる。

【0044】ここで、21は第1のNMOSトランジスタTN1および第1のPMOSトランジスタTP1の各ゲート電極となる第1のゲート配線、22は第2のNMOSトランジスタTN2および第2のPMOSトランジスタTP2の各ゲート電極となる第2のゲート配線、23は一对の転送ゲート用トランジスタTN3およびTN4の各ゲート電極となる第3のゲート配線（ワード線WLの一部）である。

【0045】この後、NMOSトランジスタのドレイン領域およびソース領域となるN⁺領域およびPMOSトランジスタのドレイン領域およびソース領域となるP⁺領域を形成する。

【0046】即ち、前記第1のPウェル領域11において、第1のゲート配線21の下方は第1のNMOSトランジスタTN1のチャネル領域であり、その両側には第1のNMOSトランジスタTN1のドレイン領域およびソース領域となるN⁺領域が形成される。

【0047】また、前記第2のPウェル領域12のうち、第2のゲート配線22の下方は第2のNMOSトランジスタTN2のチャネル領域であり、その両側には第2のNMOSトランジスタTN2のドレイン領域およびソース領域となるN⁺領域が形成される。

【0048】また、前記第1のPウェル領域11のうち、第3のゲート配線23の下方は第3のNMOSトランジスタTN3のチャネル領域であり、その両側には第3のNMOSトランジスタTN3のドレイン領域およびソース領域となるN⁺領域が形成される。この場合、第3のNMOSトランジスタTN3の一端領域（N⁺領域）と前記第1のNMOSトランジスタTN1のドレイン領域となるN⁺領域とは接続されている。

【0049】また、前記第2のPウェル領域12のうち、第3のゲート配線23の下方は第4のNMOSトランジスタTN4のチャネル領域であり、その両側には第4のNMOSトランジスタTN4のドレイン領域およびソース領域となるN⁺領域が形成される。この場合、第4のNMOSトランジスタTN4の一端領域（N⁺領域）と前記第2のNMOSトランジスタTN2のドレイン領域となるN⁺領域とは接続されている。

【0050】また、前記第1のNウェル領域13のうち、第1のゲート配線21の下方は第1のPMOSトランジスタP1のチャネル領域であり、その両側には第1のPMOSトランジスタP1のドレイン領域およびソース領域となるP⁺領域が形成される。

【0051】また、前記第2のNウェル領域14のうち、第2のゲート配線22の下方は第2のPMOSトランジスタTP2のチャネル領域であり、その両側には第2のPMOSトランジスタTP2のドレイン領域および

ソース領域となるP⁺領域が形成される。

【0052】次に、図5(a)および(b)に示すように、前記ゲート配線21~23を含む基板上に第1の層間絶縁膜24を形成し、その一部に埋め込み配線溝を形成した後、この溝内に第1のドレイン配線25および第2のドレイン配線26を埋め込み形成する。

【0053】ここで、第1のドレイン配線25は、第1のNMOSトランジスタTN1および第1のPMOSトランジスタTP1の各ドレイン領域を共通に接続するものであり、その一部が、前記埋め込み配線19の他端部上面にコンタクトしている。即ち、第1のドレイン配線25は、前記埋め込み配線19を介して前記第2のゲート配線22に接続されている。

【0054】第2のドレイン配線26は、第2のNMOSトランジスタTN2および第2のPMOSトランジスタTP2の各ドレイン領域を共通に接続するものである。

【0055】次に、図6(a)および(b)に示すように、前記ドレイン配線25、26を含む基板上に第2の層間絶縁膜27を形成し、前記第2のドレイン配線26に達するコンタクトホール27a、前記第1のゲート配線21に達するコンタクトホール27b、第1のPMOSトランジスタTP1のソース領域および第2のPMOSトランジスタTP2のソース領域に達するコンタクトホール27c、第1のNMOSトランジスタTN1のソース領域および第2のNMOSトランジスタTN2のソース領域に達するコンタクトホール27d、第3のNMOSトランジスタTN3の他端領域および第4のNMOSトランジスタTN4の他端領域に達するコンタクトホール27eを形成する。

【0056】次に、図7(a)および(b)に示すように、前記第2の層間絶縁膜27上にAlあるいはCu等の金属配線層を堆積するとともに前記各コンタクトホール内に埋め込み、パターニング加工して各種の配線29~33を形成する。

【0057】ここで、29は第1のPMOSトランジスタTP1のソース領域および第2のPMOSトランジスタTP2のソース領域に共通に接続されている電源線（V_{cc}線）であり、そのコンタクト部をcで示している。

【0058】また、30は第1のNMOSトランジスタTN1のソース領域および第2のNMOSトランジスタTN2のソース領域に共通に接続されている基準電位線（V_{ss}線）であり、そのコンタクト部をdで示している。

【0059】また、31は第3のNMOSトランジスタTN3の他端領域に接続されている第1のビット線中継接続配線であり、32は第4のNMOSトランジスタTN4の他端領域に接続されている第2のビット線中継接続配線であり、それぞれのコンタクト部をeで示してい

る。

【0060】また、33は前記第1のゲート配線21と第2のドレイン配線26とを接続する第2のゲート接続配線である。そのコンタクト部をa、bで示している。

【0061】次に、図8(a)および(b)に示すように、Vcc線29等を含む基板上に第3の層間絶縁膜34を形成し、第1のビット線中継接続配線31および第2のビット線中継接続配線32に達するコンタクトホールを形成する。

【0062】そして、上記コンタクトホール内に導電プラグ35を埋め込み形成した後、第3の層間絶縁膜34上にAlあるいはCu等の金属配線層を堆積し、これをパターニング加工し、図8(a)および(b)中に一点鎖線で示すように、一対のビット線BL、/BLを形成する。

【0063】上記した構造においては、トレンチ領域15aの内部に第1のゲート接続配線に相当する埋め込み配線19を形成しており、上記1本の埋め込み配線19をゲート配線21~23群より下層に形成できるので、第2の層間絶縁膜27上の配線レイアウトの自由度が増す。

【0064】また、第2の層間絶縁膜27上には第2のゲート接続配線33をワード線23(WL)に平行な方向に配設し、同一配線層でVcc線29とVss線30とをワード線WLに平行な方向に配設している。

【0065】したがって、上記した構造によれば、ワード線WLに直交する方向(ビット線BLおよび/BLに平行な方向)におけるメモリセルのパターン寸法を小さくし、セルのサイズを縮小化することが可能になる。

【0066】換言すれば、ワード線WLに直交する方向におけるメモリセルのパターン寸法を従来例と同じにした場合、あるいは、世代前のデザインルールを採用した場合には、Vcc線29とVss線30の幅を大きくし、その配線抵抗を減らすことにより、その配線抵抗による電圧降下を減らし、メモリセルの動作マージンを増やすことが可能になる。

【0067】あるいは、上記したようなVcc線29とVss線30の幅を大きくし、その配線抵抗を減らすことにより、さらに上層に配設されるメイン電源線(図示せず)やメイン基準電位線(図示せず)との短絡接続ポイントの設置間隔を広げることにより短絡接続ポイント数を減らし、パターン設計のマージンを増やすことが可能になるので、SRAMの高速化が可能になる。

【0068】また、上記実施の形態で形成された埋め込み配線19は、断面形状が通常の配線とは異なり、例えば図3(c)中に点線で示すように、下方部よりも上方部の幅が狭くなることが多く、その周面は同一工程で形成された絶縁物(本例ではトレンチ埋め込み工程で形成されたシリコン酸化膜16)に接している。

【0069】また、上記実施の形態で説明したような埋

め込み配線19の形成方法は、通常の埋め込み配線の形成方法と比べて、埋め込み配線形成後にその上面を覆うための層間絶縁膜の形成工程が不要である。

【0070】なお、本発明の半導体装置の製造方法は、上記実施の形態に限らず、半導体装置において、内部に余裕があるトレンチ分離領域(例えばNウェル・Pウェル間分離領域のように加工限界よりも大きな分離領域)に空洞を形成することを特徴とするものである。

【0071】そして、空洞内部に例えば埋め込み配線を形成することにより、トレンチ分離領域を有効に活用し、上層の配線レイアウトの自由度を増し、上層の配線の一部を埋め込み配線で置換することによりデザインの緩和を図り、チップサイズの縮小化を図ることが可能になる。

【0072】

【発明の効果】上述したように本発明の半導体装置およびその製造方法によれば、トレンチ型素子分離構造を用いた集積回路においてトレンチ領域の内部を配線のために有効に活用し、回路パターンを縮小化し得る半導体装置およびその製造方法を提供することができる。

【0073】したがって、本発明を、トレンチ型素子分離構造を用いたCMOS型メモリセルのアレイを有するSRAMのメモリセルに適用した場合には、メモリセルのビット線に平行な方向のパターン寸法を縮小化でき、SRAMの高速化を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るトレンチ型素子分離構造を用いたSRAMの製造工程の一部におけるパターンおよび断面構造を示す図。

【図2】図1の工程に続く工程におけるパターンおよび断面構造を示す図。

【図3】図2の工程に続く工程におけるパターンおよび断面構造を示す図。

【図4】図3の工程に続く工程におけるパターンおよび断面構造を示す図。

【図5】図4の工程に続く工程におけるパターンおよび断面構造を示す図。

【図6】図5の工程に続く工程におけるパターンおよび断面構造を示す図。

【図7】図6の工程に続く工程におけるパターンおよび断面構造を示す図。

【図8】図7の工程に続く工程におけるパターンおよび断面構造を示す図。

【図9】CMOS型のスタティック型メモリセルのアレイを有するCMOS型のSRAMにおける1個のメモリセルを取り出して示す等価回路図。

【図10】トレンチ型素子分離構造を用いたSRAMにおける図9のメモリセルの従来のパターンを概略的に示す図。

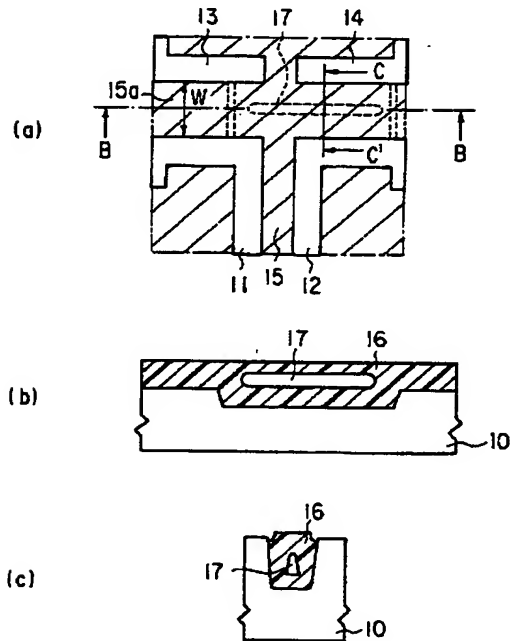
【符号の説明】

10…シリコン基板、
 11、12…Pウェル領域、
 13、14…Nウェル領域、
 15、15a…トレンチ型の素子分離領域（トレンチ領

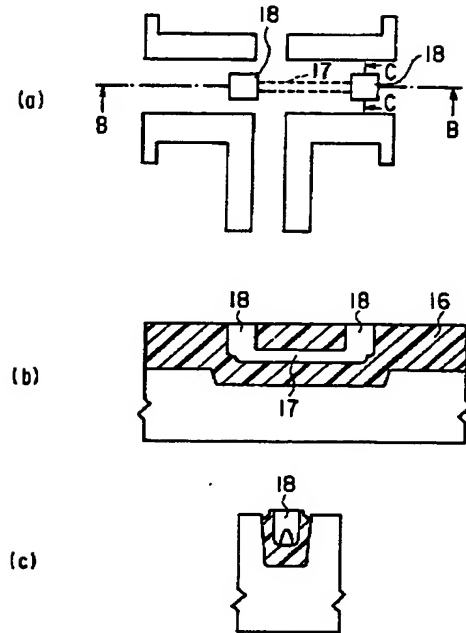
域）、

16…シリコン酸化膜、
 17…配線埋め込み用の空洞（ボイド）、
 18…ホール、
 19…埋め込み配線。

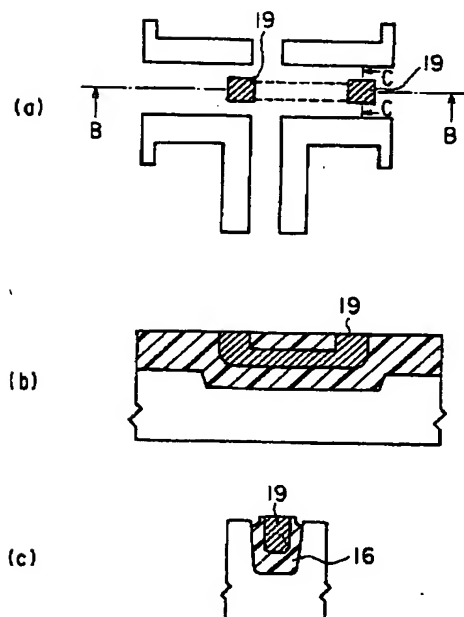
【図 1】



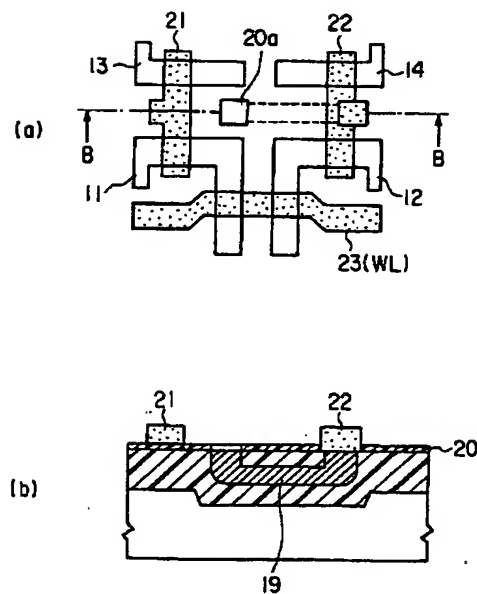
【図 2】



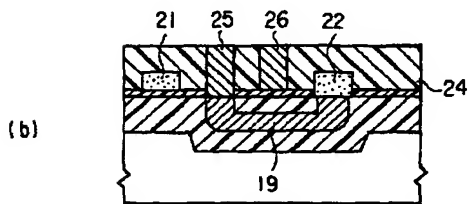
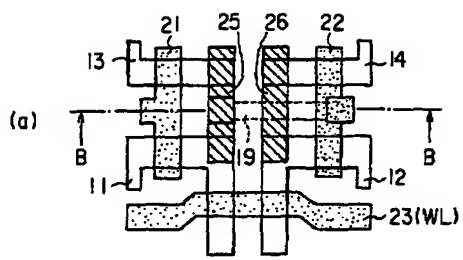
【図 3】



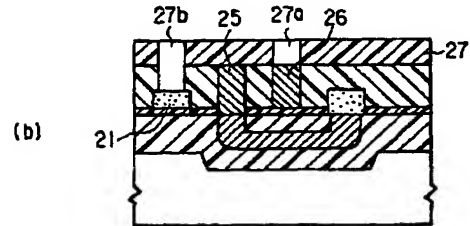
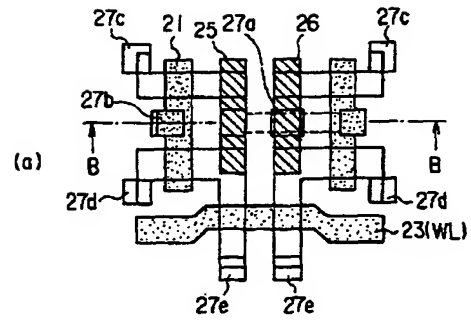
【図 4】



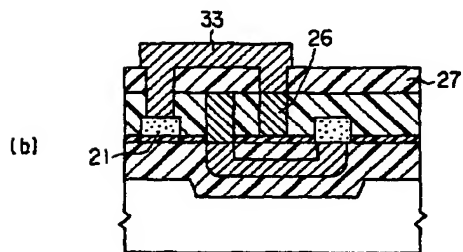
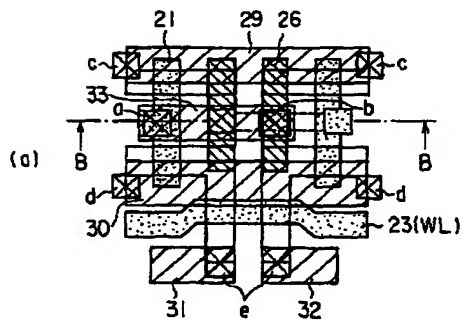
【図 5】



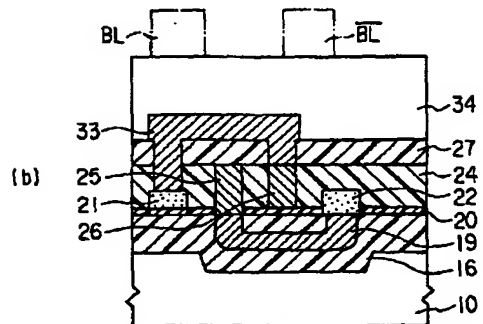
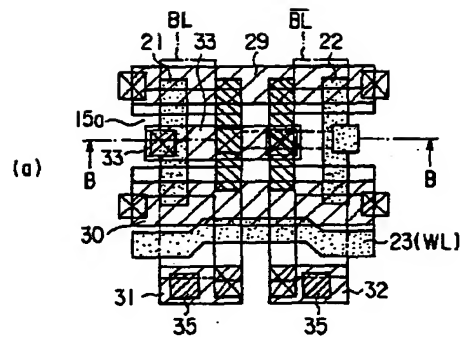
【図 6】



【図 7】



【図 8】



整理番号 EP-0319901

発送番号 141930

発送日 平成15年 4月30日 1 / 2

拒絶理由通知書

特許出願の番号	特願2001-330785
起案日	平成15年 4月23日
特許庁審査官	正山 旭 9276 4M00
特許出願人代理人	井上 一 (外 2名) 様
適用条文	第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許公報に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

B. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許公報に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1～15、16～18
- ・理由 A, B
- ・引用文献等 1
- ・備考

引用文献1の、特に、第1図～第8図及び図面説明箇所を参照されたい。

引 用 文 献 等 一 覧

1. 特開2000-269319号公報

先行技術文献調査結果の記録

- ・調査した分野 IPC第7版 H01L27/11
H01L21/8244

発送番号 141930

発送日 平成15年 4月30日 2 / 2

・先行技術文献

特開平07-231044号公報

特開平09-260510号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

ACT-AT
7/7
M

整理番号 EP-0320001

発送番号 151575

発送日 平成15年 5月 6日 1 / 2

拒絶理由通知書

特許出願の番号	特願2001-334689
起案日	平成15年 4月30日
特許庁審査官	正山 旭 9276 4M00
特許出願人代理人	井上 一 (外 2名) 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1～18
- ・理由 A
- ・引用文献等 1, 2, 3, 4
- ・備考

引用文献1には、CMOS型SRAMセルにおいて、フィールド絶縁膜上に設けられた第1層導電層と、前記第1層導電層より上の層に位置する第2層導電層と、前記第1層導電層と前記第2層導電層との間に設けられた第1層間絶縁層にスルーホールが形成されていることが記載されている。(特に、第2図、第3図及び図面説明箇所参照。)

引用文献2には、第1層間絶縁膜に設けられた第1スルーホールの穴径が、第1層間絶縁層より上に位置する層間絶縁膜に設けられたスルーホールの穴径以下であることが記載されている。(特に、第3図～第7図及び図面説明箇所参照。)

引用文献3には、ゲートゲート電極層とドレインドレイン配線層、2つのドレインゲート配線層からなるCMOS型SRAMセルが記載されている。(特に、第1図～第8図及び図面説明箇所参照。)

1層目のマスク層の開口部に、2層目のマスク層を用いて側壁を形成して、スルーホールを形成することについては、引用文献4の、特に、第6図～第8図及

び図面説明箇所を参照されたい。

引用文献等一覽

1. 特開2000-036542号公報
2. 特開平03-040449号公報
3. 特開2000-269319号公報
4. 特開平10-294367号公報

B. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

・請求項7

本請求項には「リラックス層」という記載があるが、「リラックス層」が何なのか不明瞭である。

・請求項 1 4

本請求項には、「前記第3導電層」という記載があるが、「前記」に対応する文言がない。

・請求項 8 ~ 13, 15 ~ 18

本請求項は、不明瞭な記載を有する請求項 7, 14 を引用しているため、同様に不明瞭である。

よって、請求項 7～18に係る発明は明確でない。

先行技術文献調査結果の記録

・調査した分野

IPC第7版 H01L27/11

H 0 1 L 2 1 / 8 2 4 4

・先行技術文献

特開平07-231044号公報

特開平09-260510号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

整理番号 EP-0320101

発送番号 151574

発送日 平成15年 5月 6日 1 / 2

拒絶理由通知書

特許出願の番号 特願2001-330784
起案日 平成15年 4月30日
特許庁審査官 正山 旭 9276 4M00
特許出願人代理人 井上 一 (外 2名) 様
適用条文 第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項1～15
- ・理由 A
- ・引用文献等 1, 2, 3
- ・備考

4層の導電層でCMOS型SRAMセルを形成することについては、引用文献1の、特に、第1図～第8図及び図面説明箇所を参照されたい。

負荷トランジスタにおけるゲートーゲート電極層の幅が駆動トランジスタにおけるゲートーゲート電極層の幅よりも大きいことについては、引用文献2の、特に、第1図及び図面説明箇所を参照されたい。

請求項3, 4の、不純物層上に形成されるコンタクト部については、引用文献3の、特に、第2図及び図面説明箇所を参照されたい。

引 用 文 献 等 一 覧

1. 特開2000-269319号公報 /
2. 特開平11-017028号公報
3. 特開2000-208643号公報

B. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

・請求項11

本請求項には、「前記第1層導電層」、「前記第2層導電層」及び「前記第3層導電層」という記載があるが、「前記」に対応する文言がない。

・請求項12、13

本請求項には「第2層導電層」という記載があるが、「第2層導電層」が何かの説明がない。

・請求項14、15

本請求項は、不明瞭な記載を有する請求項11～13を引用しているため、同様に不明瞭である。

よって、請求項11～15に係る発明は明確でない。

先行技術文献調査結果の記録

・調査した分野 IPC第7版 H01L27/11
 H01L21/8244

・先行技術文献

特開平07-231044号公報／
特開平09-260510号公報／

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

整理番号 EP-0320201

発送番号 141935

発送日 平成15年 4月30日 1 / 2

拒絶理由通知書

特許出願の番号	特願2001-333097
起案日	平成15年 4月22日
特許庁審査官	正山 旭 9276 4M00
特許出願人代理人	井上 一 (外 2名) 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記 of 刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項 1, 4, 7, 10, 11, 12, 13
- ・理由 A
- ・引用文献等 1, 2, 3
- ・備考

引用文献1の、特に、第1図～第8図及び図面説明箇所を参照されたい。

また、引用文献2 (特に第1図、第2図参照) に記載されているように、P、Nのウエル領域の境界はPN活性領域のほぼ中間にあることは一般的であるから引用文献1において、第2ドレインゲート配線層の上層部が、Pウエル領域及びNウエル領域のいずれかの領域の上方に設けられていると認められる。

なお、ドレインゲート配線がNウエル領域側に設けられていることについては、引用文献3の、第6図及び図面説明箇所を参照されたい。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

- この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

